

# WIRING STRUCTURE OF SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

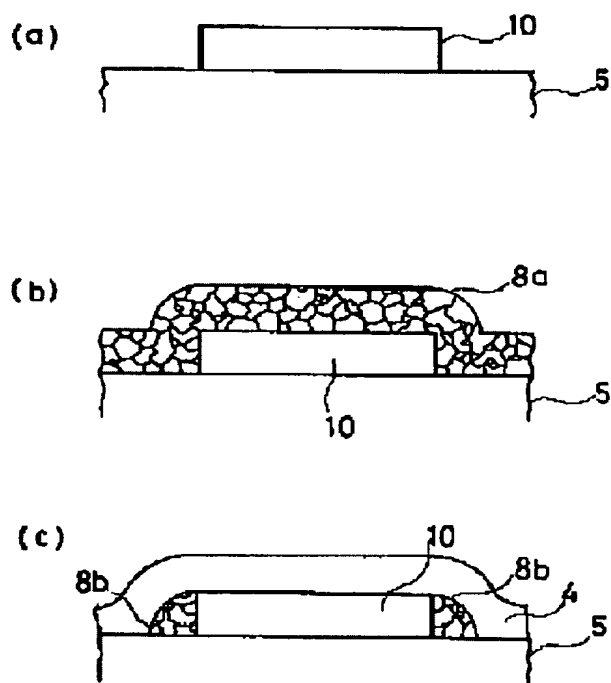
A3

Patent number: JP5275426  
 Publication date: 1993-10-22  
 Inventor: EGUCHI KOJI  
 Applicant: MITSUBISHI ELECTRIC CORP  
 Classification:  
 - international: H01L21/3205; H01L21/205; H01L21/265; H01L21/28  
 - european:  
 Application number: JP19920100713 19920325  
 Priority number(s):

## Abstract of JP5275426

**PURPOSE:** To prevent both of electro and stress migrations in a wiring.

**CONSTITUTION:** In a multilayer interconnection wherein wirings and insulation films are formed in succession on a substrate, a wiring layer 10 of a large grain size is formed in the region wherein most of the current flows, and wiring layers 8b of a small grain size are formed in the places (the peripheries of the wiring, especially its sidewalls and upper end part) where stresses are comparably easy to be applied. Thereby, voids are generated in the wiring layers 8b of the small grain size by the stresses given when forming a protective film on the wiring, and the voids are prevented from extending directly to the wiring layer 10 of the large grain size. Therefore, the wiring is made resistant to both of electro and stress migrations, and the reliability of the wiring is improved.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-275426

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/3205

21/205

21/265

7735-4M

H 0 1 L 21/ 88

N

8617-4M

21/ 265

V

審査請求 未請求 請求項の数3(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-100713

(22)出願日 平成4年(1992)3月25日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 江口 剛治

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(74)代理人 弁理士 早瀬 憲一

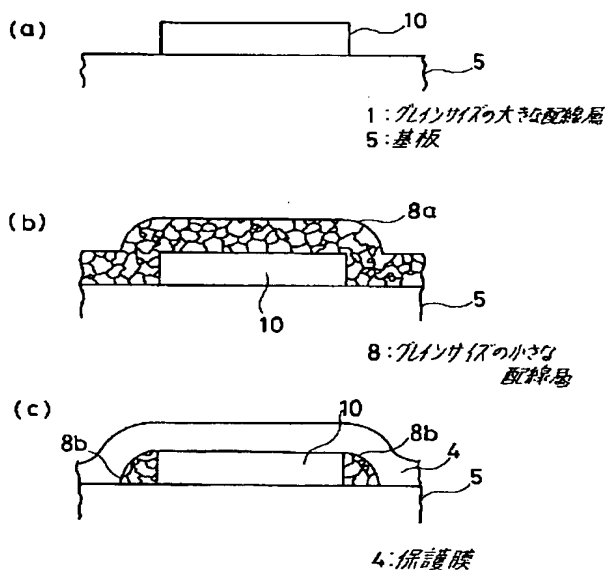
(54)【発明の名称】 半導体装置の配線構造及びその製造方法

(57)【要約】

【目的】 配線におけるエレクトロマイグレーションとストレスマイグレーションの両マイグレーションを防止することを目的とする。

【構成】 基板の上に、順次に配線、絶縁膜を形成してなる多層配線において、電流の大半が流れる領域にグレインサイズの大きな配線層10を形成し、ストレスが比較的かかりやすい位置(配線の周囲、特に側壁部及び上端部)にグレインサイズの小さい配線層8bを形成して配線とする。

【効果】 保護膜形成時のストレスによりグレインサイズの小さい配線層8bにポイドが生じ、グレインサイズの大きい配線層10に直接及ぶのを防止し、いずれのマイグレーションに対しても耐性が強くなり、配線の信頼性が向上する。



1

## 【特許請求の範囲】

【請求項1】 半導体装置に用いられる配線であって、上記配線が、

グレインサイズの大きな領域と、  
グレインサイズの小さな領域とから構成されていることを特徴とする半導体装置の配線構造。

【請求項2】 次のステップを有することを特徴とする半導体装置の配線構造の製造方法

(1) グレインサイズの大きな第1の配線層を形成するステップと、

(2) 上記第1の配線層上にグレインサイズの小さな第2の配線層を形成するステップと、

(3) エッチングを行い、上記第1の配線層の側壁にのみ上記第2の配線層を残すステップ。

【請求項3】 次のステップを有することを特徴とする半導体装置の配線構造の製造方法

(1) グレインサイズの大きな第1の配線層を形成するステップと、

(2) 斜め回転イオン注入を行い、上記第1の配線層の表面にグレインサイズの小さな領域を形成するステップ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は半導体装置及びその製造方法に関し、特に多層配線の信頼性の向上を図ったものに関するものである。

## 【0002】

【従来の技術】 図5及び図6は従来の半導体装置の配線構造を示す図であり、図において、1は配線を示し、1aはグレインの小さなものを、また1bはグレインの大きなものを示す。2は該配線1を構成するグレインの粒30  
界、3は上記配線1が欠損してできたボイドと呼ばれる部分、4は基板5上に形成された配線1を覆う絶縁膜を示し、また、6は電流の流れを、7はストレスを示す。

【0003】 通常、配線形成時にスパッタ法等を用いた場合、基板加熱等の熱処理が加わらなければ、図5(a)に示すようなグレインサイズが小さい配線1aが形成される。一方、基板加熱を加えたり、またCVD法によって結晶性のある基板5上に配線の膜を成長させると、図6(a)に示すようなグレインサイズの大きな配線1bが形成される。特に、図6(a)に示すような配線1bは竹40  
の節に似ているので、バンブー構造とも呼ばれる。また、最近では、配線幅の微細化に伴い、例えば数 $\mu\text{m}$ 程度の幅の配線ではその幅方向が複数のグレインで構成されるが、1 $\mu\text{m}$ 以下の配線では幅方向が1つのグレインで構成されるようになり、通常のスパッタ法のまま（基板加熱を行わない）でも、バンブー構造、もしくはそれに近い構造の配線が形成されるようになってきている。

【0004】 ところが、図5(b)に示すように、グレインサイズの小さな配線1aでは、電流の流れ6によってエレクトロマイグレーションと呼ばれる配線材の体積移50

2

動がグレインの粒界2にそって生じやすく、その結果、移動前の部分ではボイド3と呼ばれる配線材の欠損が生じやすくなる。これはボイドの発生→局所的な電流密度の増加→ボイド近傍での発熱→粒界拡散の助長→ボイドの成長といった悪循環を繰り返し、最終的に断線不良が生じるといった問題点があった。

【0005】 一方、図6(a)に示されるグレインサイズの大きい配線1bはバンブー構造のため、粒界拡散は生じにくい、図6(c)に示すように、周囲に保護膜4を形成するときに、配線1bと窒化膜等の保護膜4の熱膨張係数の違いから、主に引っ張り応力7が加わることによって、図6(d)に示すように、主に配線1bの図中円Aで示す上端のエッジ部及び図中円Bで示す側壁部に機械的応力が加わり、その結果、図6(b)に示すように応力による体積移動（ストレスマイグレーションと呼ばれる）が生じ、断線を発生しやすいという問題点があった。なお、この現象（ストレスマイグレーション）はグレインサイズの小さな配線では応力が分散されるので起こりにくい。

## 【0006】

【発明が解決しようとする課題】 従来の半導体装置の配線構造及びその製造方法は以上のように構成されており、グレインサイズの小さな配線においてはエレクトロマイグレーションにより、またグレインサイズの大きな配線はストレスマイグレーションにより断線が生じやすいという問題点があった。

【0007】 この発明は上記のような問題点を解消するためになされたもので、グレインサイズの大小に係わらず断線に強い配線を有する半導体装置及びその製造方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 そこで本発明者は、グレインサイズの小さい配線はエレクトロマイグレーションには弱い、ストレスマイグレーションに強く、一方、グレインサイズの大きな配線はエレクトロマイグレーションには強い、ストレスマイグレーションには弱いという点に着目し、一見相反するこれらの特徴の、それぞれの長所を引き出した構造を取ることにより、いずれのマイグレーションに対しても強い配線を提供するものである。

【0009】 すなわち、本発明に係る半導体装置の配線構造及びその製造方法は、グレインサイズの大きな第1の配線層を形成し、さらに第1の配線層と接触するグレインサイズの小さな第2の配線層を形成して配線を構成するようにしたものである。

## 【0010】

【作用】 この発明においては、電流を流す大部分を占める領域はグレインサイズを大きくし、ストレスのかかりやすい所にはグレインサイズの小さな層を設けて配線を形成するようにしたので、保護膜形成時に配線と保護膜

3

との熱膨張係数の違いからストレスが加わっても、該ストレスはグレインサイズの小さい層によって低減され、どちらのマイグレーションに対しても強い性質を持つものとなる。

【0011】

【実施例】図1はこの発明の第1実施例による半導体装置の製造工程を示す図である。まず図1(a)に示すように、基板5上にグレインサイズの大きな配線層10を形成し、つぎに図1(b)に示すように、上記配線層10を覆うようにグレインサイズの小さな配線層8aを形成する。そして次に図1(c)に示すように、上記配線層8aをエッチングして得られたグレインサイズの小さなサイドウォール形状の配線層8bを形成する。すなわち、通常、エレクトロマイグレーションに強い配線を実現するには、先にも記したように、熱処理等の方法により、グレインサイズの拡大を図ることにより容易に実現することができるが、単にグレインサイズの大きな配線だけでは、応力によるストレスマイグレーションを受けやすく、特にこの応力は図6(d)で説明したように配線の側壁部、上端の角部、段差部などで受けやすいといった性質を有していることから、その応力の受けやすい所にグレインサイズの小さな配線層を形成し、保護膜形成時のストレスによる不良を防ぐ構造となっている。

【0012】次に製造方法について説明する。まず、図1(a)に示すように基板5を加熱したり、あるいはCVD法を用いて結晶性のある基板5上に半導体層を形成することで、例えば5 $\mu$ m程度のグレインサイズの大きい配線層10を設ける。

【0013】次に例えば幅が2 $\mu$ m程度となるように所定の形状に配線層10をパターンニングしておいてから、図1(b)に示すように、全面に例えば0.1~0.2 $\mu$ m程度のグレインサイズの小さな配線層8aを形成する。その後、エッチバックを行い、配線層10の側壁部のみにサイドウォール形状にグレインサイズの小さな配線層8bを残すようにすれば、図1(c)のような所望の配線パターンを得ることができ、続いて全面に保護膜4を形成する。

【0014】この方法によれば、CMOSデバイス等によく用いられるサイドウォール付きのトランジスタ作成法と同等の手法で実現可能であり、装置的にも新規のものを導入する必要がなく、製造プロセス上有利である。

【0015】このように本実施例によれば、グレインサイズの大きな配線層10の側壁部にグレインサイズの小さな配線層8bを設けて配線を形成するようにしたから、保護膜4形成時の熱膨張係数の違いにより配線層10に加わるストレスは、グレインサイズの小さい配線層8bで吸収されることで低減され、グレインサイズの大きな配線層10にストレスが直接及ぶのを低減することができる。また、電流によるエレクトロマイグレーションに対しては、配線の大半を占める配線層10で吸収さ

4

れるため、どちらのマイグレーションにも強い配線を得ることができる。

【0016】図2はこの発明の第2の実施例による半導体装置の製造工程を示し、図1と同一符号は同一または相当部分を示し、図において、8cはグレインサイズの小さな配線層、9は斜め回転イオン注入のビーム、10aは斜め回転イオン注入によりイオンを打ち込まれた箇所を示す。

【0017】次に製造工程について説明する。まず、図2(a)に示すように、基板5上に図1と同様にしてグレインサイズの大きな配線層10を形成し、次に図2(b)に示すように、斜め回転注入により、配線層10の周囲のグレインをビーム9により細かく砕く。そうすると、図2(c)に示すように、配線層10の側面及び上面にグレインサイズの小さな配線層8cが形成される。なお上記ビーム9の注入イオン、注入エネルギーはマイグレーションによるストレスのかかり具合に応じて自由に設定、変更できる。また上記ビーム9としては、例えば $As^+$ 、 $Sb^+$ 等、比較的強くグレインの破壊力が大きく、かつ投影飛程が小さく、配線内部まで破壊しないようなものが好ましい。

【0018】このような方法によれば、工程的にも上記第1の実施例よりも1工程の増加ですむばかりでなく、サイドウォール(8b)によるパターン寸法の太りを見無視することができ、所望の特性が精度よく得られる。また配線層10の上面もグレインサイズの小さな配線層8cが形成されているため、配線層10の上部からのストレスに対する強度が向上し、絶縁膜を介して多層配線を形成した場合に適した構造となっている。

【0019】また、場合によっては、上記両実施例を組み合わせて、サイドウォールを付けたまま、斜め回転イオン注入を行う、あるいは斜め回転イオン注入をしてからサイドウォールを付けてもよい。

【0020】またストレスマイグレーションは上述したように基本的には熱的応力によるもの、つまり配線と絶縁膜の熱膨張係数の違いから生じる引っ張り応力によるものが原因なので、グレインサイズの大きな配線層と小さな配線層とに別々の特性を持つ素材を用いてもよく、例えば、グレインサイズの大きな配線層に $AlSiCu$ を、グレインサイズの小さな配線層に $AlCu$ を用いることができる。

【0021】また、グレインサイズの小さな配線層にポリシリコンやアモルファスシリコン等を用いることも可能であるが、この場合、通常の反応CVD法では熱的に高すぎて配線として機能しなくなる可能性があるので、スパッタ法等で形成するのが望ましい。

【0022】図3は本発明の第3の実施例を示し、この実施例ではサイドウォール状の配線8bを形成するために、配線層10をパターンニングする前に酸化膜11を配線層10上面に予め形成しておき、酸化膜11と配線層10と

5

を同時にエッチングした後、選択A1を配線10の側壁のみに成長させ配線8bとするようにしたものである。このようにすることで、配線10の側面に均一的に配線8bを形成することができる。

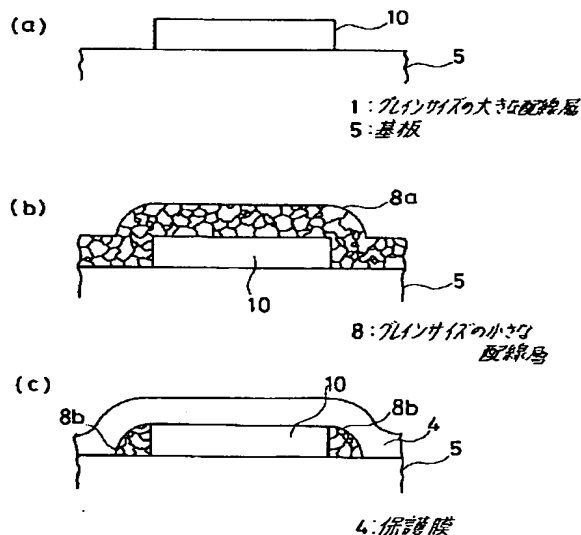
【0023】図4は本発明の第4の実施例を示し、この実施例は例えば、特開昭57-45259号に示されるように、配線の要所にスリット12を設けストレスマイグレーションによる応力を緩和するようにしたものである。配線側面にサイドウォール形状のグレインの小さな配線層8bを設けるとともに、配線10のスリット12内にもグレインの小さな埋め込み層8dを設けるようにしたものであり、このようにすることで、スリット12内の配線層8dにより、ストレスを低減することができ、特に幅の大きい配線を形成する際に有利な構造である。

【0024】

【発明の効果】以上のように、この発明によれば、ストレスのかかりやすい所にはストレスマイグレーションに強いグレインサイズの小さな配線層素材を用い、電流の大半が流れる部分にはエレクトロマイグレーションに強いグレインサイズの大きな配線層素材を用いて配線を形成したので、保護膜形成時のストレスは上記グレインサイズの小さな配線層に吸収されて低減され、通電を主とするグレインサイズの大きな配線層には直接及ばず、その結果、ストレスマイグレーション、エレクトロマイグレーションのいずれのマイグレーションに対しても強く、信頼性の高い配線を有する半導体装置が得られるという効果がある。

\*

【図1】



6

\*【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置のプロセスフローの断面図。

【図2】本発明の第2の実施例による半導体装置のプロセスフローの断面図。

【図3】本発明の第3の実施例による半導体装置の断面図。

【図4】本発明の第4の実施例による半導体装置を示す斜視図。

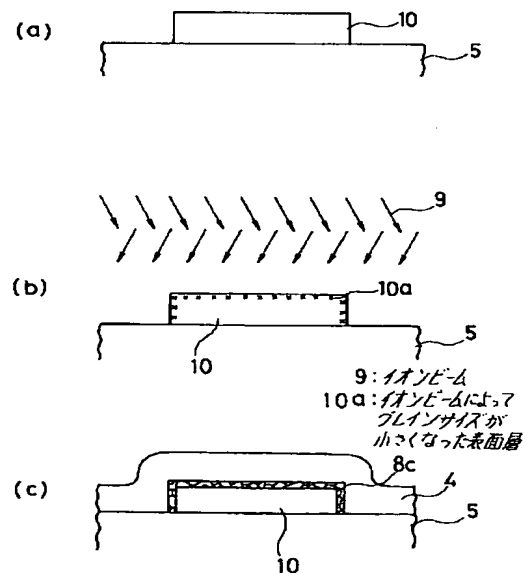
【図5】従来の半導体装置の配線（グレインサイズの小さい配線）の例を示す平面図。

【図6】従来の半導体装置の配線（グレインサイズの大きい配線）の例を示す図。

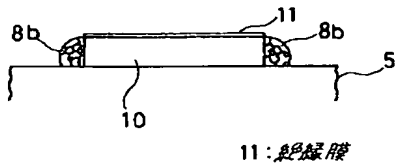
【符号の説明】

- 2 グレインの粒界面
- 3 ボイド
- 4 絶縁膜（保護膜）
- 5 基板
- 6 電流の流れ
- 7 ストレス（応力）
- 8 グレインサイズの小さな配線層
- 9 イオンビーム
- 10 グレインサイズの大きな配線層
- 10a イオンビームによってグレインサイズが小さくなった表面層
- 11 絶縁膜
- 12 スリット（配線のスライド防止用）

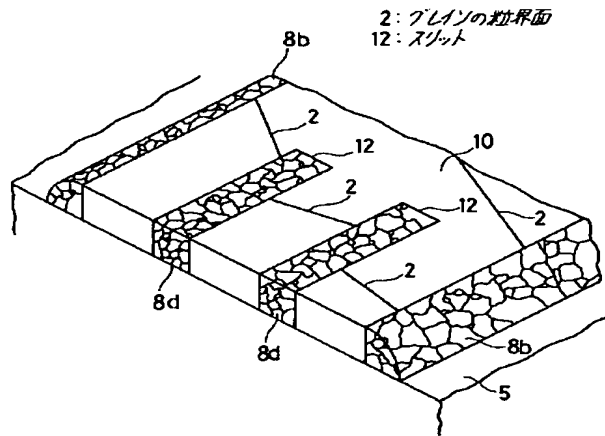
【図2】



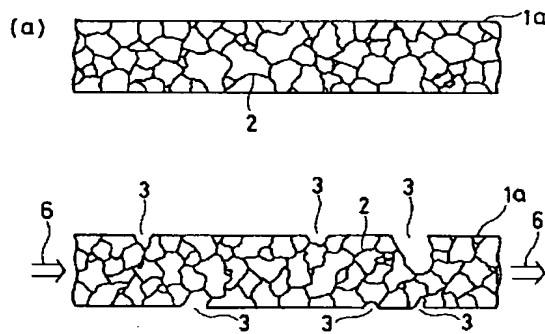
【図3】



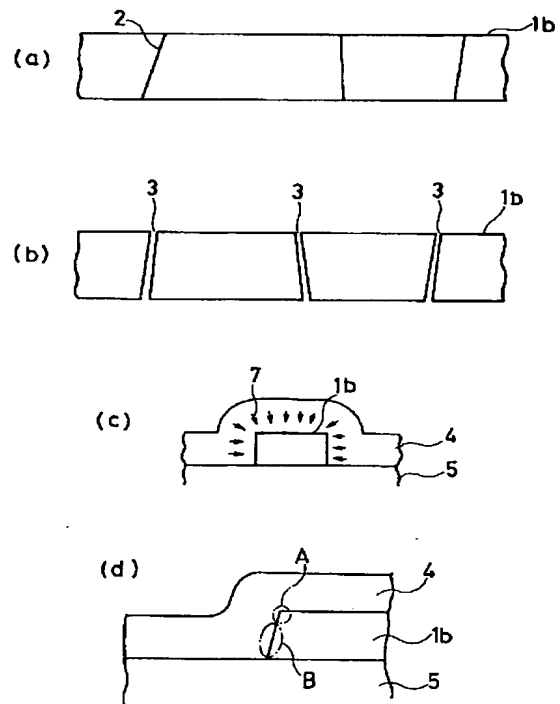
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 5  
H 0 1 L 21/28

識別記号 庁内整理番号  
3 0 1 L 7738-4M  
A 7738-4M  
8617-4M

F I

H 0 1 L 21/265

技術表示箇所

Q